

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-183426

(P2001-183426A)

(43) 公開日 平成13年7月6日 (2001.7.6)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テ-マ-ト*(参考)        |
|---------------------------|-------|---------------|-------------------|
| G 0 1 R 31/28             |       | G 0 6 F 11/22 | 3 6 0 A 2 G 0 3 2 |
| G 0 6 F 11/22             | 3 6 0 | H 0 3 K 19/00 | B 5 B 0 4 8       |
| H 0 1 L 27/04             |       | G 0 1 R 31/28 | V 5 F 0 3 8       |
| 21/822                    |       | H 0 1 L 27/04 | T 5 J 0 5 6       |
| H 0 3 K 19/00             |       |               |                   |

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願平11-371086

(22) 出願日 平成11年12月27日 (1999. 12. 27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ  
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 松尾 幸和

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

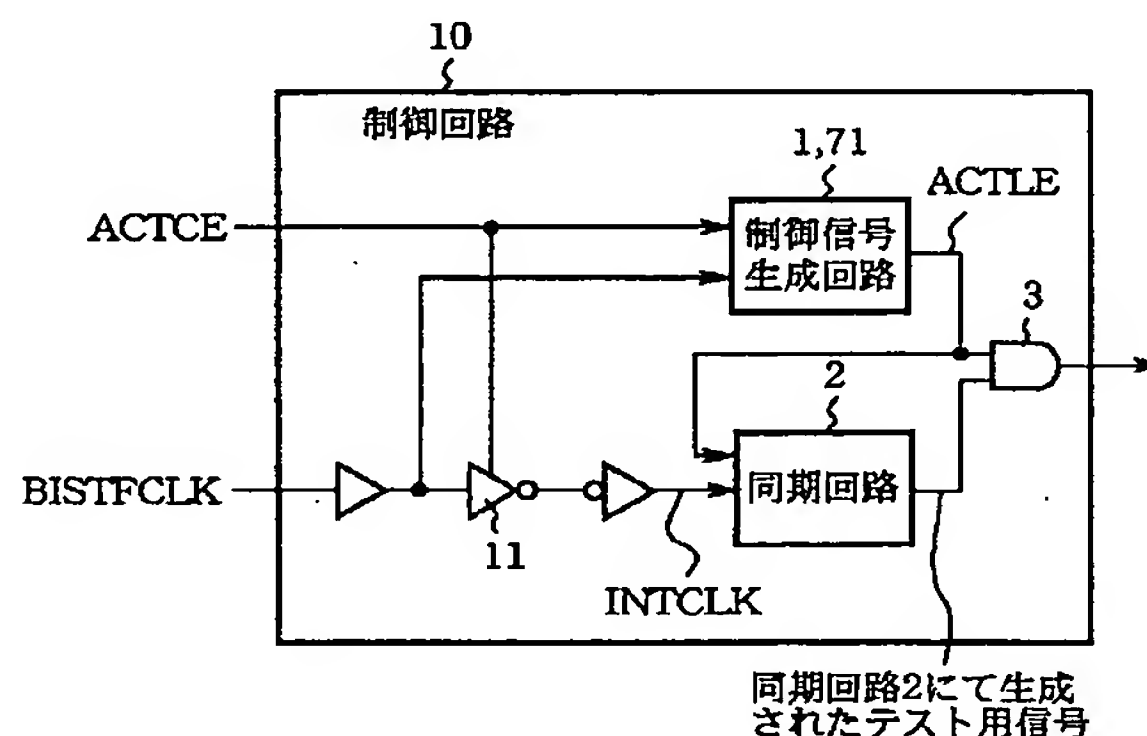
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 2つのイネーブル信号を入力し内部クロック信号を供給していた為、同期回路をリセット出来ない場合があり、またレイアウト面積の減少があった。

【解決手段】 制御信号生成回路1は、外部クロック信号B I S T F C L Kと、非同期のイネーブル信号A C T C Eを入力し、イネーブル信号A C T C EがHレベルになった直前後の外部クロック信号B I S T F C L Kの立ち上がりから数えて、少なくとも2クロック以上のリセット期間経過後に、外部クロック信号B I S T F C L Kに同期した同期回路のイネーブル信号A C T L Eを出力する。同期回路2は、イネーブル信号A C T C EがHレベルになると、外部クロック信号B I S T F C L Kを内部クロック信号I N T C L Kとして入力し、リセット期間内でリセットされ、外部クロック信号に同期したテスト用信号を出力する。



## 【特許請求の範囲】

【請求項1】 外部クロック信号と、前記外部クロック信号に対して非同期である第1のイネーブル信号を入力し、前記第1のイネーブル信号のレベル変化の直前あるいは直後に起こる前記外部クロック信号のレベル変化から数えて、所定のクロック数以上のリセット期間経過後に立ち上がり、かつ、前記外部クロック信号に同期した第2のイネーブル信号を生成し、生成した前記第2のイネーブル信号を出力する制御信号生成回路と、

前記第1のイネーブル信号のレベル変化に基づいて前記外部クロック信号を入力し、前記第2のイネーブル信号が生成されるまでの前記リセット期間内でリセットされ、前記外部クロック信号に同期し内部で生成されたテスト用信号を、被セルフテスト対象回路へ出力する同期回路と、

前記制御信号生成回路から出力された第2のイネーブル信号と、前記同期回路から出力された前記テスト用信号を入力し、論理積演算を行い、演算結果としての前記テスト用信号を前記被セルフテスト対象回路へ出力する第1の演算手段とを備えた半導体集積回路。

【請求項2】 制御信号生成回路は、外部クロック信号と、前記外部クロック信号に対して非同期の第1のイネーブル信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用し、前記第1のイネーブル信号を基にして、前記外部クロック信号に同期した第2のイネーブル信号を生成し出力する機能を持つ複数段のリセット機能付きのラッチ回路で構成されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 制御信号生成回路は、第1のイネーブル信号を反転した信号と外部クロック信号を反転した信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用するリセット機能付きのラッチ回路を複数段備えた第1系統ラッチ回路と、前記第1のイネーブル信号と前記外部クロック信号を反転した信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用するリセット機能付きのラッチ回路を複数段備えた第2系統ラッチ回路と、前記第1系統ラッチ回路および前記第2系統ラッチ回路の出力の論理積演算を行う第2の演算手段と、前記第2の演算手段の出力をラッチする第3のラッチ回路とを備え、前記第1のイネーブル信号を基に、前記外部クロック信号に同期した第2のイネーブル信号を生成し出力することを特徴とする請求項1記載の半導体集積回路。

【請求項4】 第3のラッチ回路に接続され、第1のイネーブル信号を反転した信号のレベル変化後、リセット期間の経過するまで第2のイネーブル信号をLレベルに保持し、前記リセット期間経過後に、Hレベルの前記第2のイネーブル信号を出力するセレクト回路を、制御信

号生成回路はさらに備えたことを特徴とする請求項3記載の半導体集積回路。

【請求項5】 第2の演算手段と第3のラッチ回路との間に接続され、前記第2の演算手段の出力を所定クロック数遅延させて前記第3のラッチ回路へ供給し、リセット期間を切り替えるカウンタをさらに備えたことを特徴とする請求項4記載の半導体集積回路。

【請求項6】 外部クロック信号と第1のイネーブル信号とを入力し、前記第1のイネーブル信号が第1のレベル中は、前記外部クロック信号を被セルフテスト対象回路へ内部クロック信号として直接に出力する第1の論理回路と、前記第1のイネーブル信号が第2のレベルに変化すると、前記外部クロック信号を内部クロック信号として出力する第2の論理回路とを有するクロック供給回路と、前記第2の論理回路から出力された前記内部クロック信号を、クロックバッファを経て前記第1の論理回路へ出力し、前記被セルフテスト対象回路へ前記内部クロック信号を出力する同期回路とを備えた半導体集積回路。

【請求項7】 第2の論理回路から出力された内部クロック信号を所定時間遅延させ、前記第2の論理回路から出力される前記内部クロック信号と、前記第1の論理回路から出力される内部クロック信号との間のクロックスキューを調整する遅延回路をさらに備えたことを特徴とする請求項6記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ビルトインセルフテスト回路における同期回路のリセット状態を確保する機能および内部クロック信号を被テスト対象回路へ出力する機能を備えた半導体集積回路に関するものである。

【0002】

【従来の技術】現在、半導体チップ内にテスト回路を組み込みセルフテストを行うビルトインセルフテスト手法が注目されている。このようなテスト回路の大半は同期回路で構成されている。同期回路から被テスト対象回路へ内部で生成されたテスト用信号を安定に出力させるためには、同期回路を一度リセットさせる必要がある。同期回路をリセットさせるためには、同期回路が動作する以前に少なくとも1クロック以上のリセット期間が必要である。

【0003】図11は従来の半導体集積回路における同期回路周辺の構成を示すブロック図であり、図において、111は同期回路、112は同期回路111を含む周辺回路である。

【0004】次に、動作について説明する。図12は、図11に示した従来の同期回路へ供給される各制御信号のタイミングを示すタイミングチャートであり、図12において、EXCLKは外部から供給される外部クロ

ック信号、ACTCE、ACTLEはイネーブル信号、INTCLKは内部クロック信号である。尚、図11のブロック図では、外部クロック信号EXTCLKは、周辺回路112に供給される外部クロック信号BISTFCLKとなっている。

【0005】図12のタイミングチャートに示すように、イネーブル信号ACTCEがHレベルになると、内部クロック信号INTCLKが同期回路111へ供給される。内部クロック信号INTCLKが同期回路111へ供給された後、別のイネーブル信号ACTLEがHレベルになると、ANDゲートを介して、同期回路111から内部で生成されたテスト用信号が、テスト対象のSDRAM等の回路ブロック（図示せず）へ供給される。

【0006】同期回路111は、内部クロック信号INTCLKの供給により動作開始する。このように、イネーブル信号ACTCEがHレベルに変化することで、外部クロック信号EXTCLK（即ち、BISTFCLK）が、内部クロック信号INTCLKとして同期回路111へ供給される。そして、イネーブル信号ACTLEがLレベルの間に（タイミングT121）、内部クロック信号INTCLKが同期回路111へ供給され、同期回路111をリセットする。その後、イネーブル信号ACTLEがHレベルになると、同期回路111はイネーブル状態となり、内部で生成されたテスト用信号をANDゲートへ供給する。

【0007】

【発明が解決しようとする課題】従来の半導体集積回路は、以上のように構成されていたので、2つのイネーブル信号ACTCEおよびACTLEを用いて、同期回路111のリセット期間を得ていた。しかしながら、イネーブル信号ACTCEとACTLEとは異なる信号であるため、場合によっては、両イネーブル信号ACTCE、ACTLEの間に遅延が生じて、同期回路のリセットに必要なリセット期間が確保できないという課題があった。また、2つのイネーブル信号ACTCE、ACTCEを使用していたので、これらの2つのイネーブル信号ACTCE、ACTLEの配線領域が必要となり、その分、半導体チップのレイアウト面積を制限するという課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、同期回路に入出力されるクロック信号の供給のタイミングを、外部クロック信号と、この外部クロック信号に非同期の1つのイネーブル信号を基に実行して、所定のクロック数以上の同期回路のためのリセット期間を確実に確保し、かつ、半導体チップの有効な回路面積を増大させることができる半導体集積回路を得る事を目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体集積回路は、制御信号生成回路、同期回路および第1の演

算手段を備えたものである。制御信号生成回路は、外部クロック信号と、前記外部クロック信号に対して非同期の第1のイネーブル信号を入力し、前記第1のイネーブル信号のレベル変化の直前あるいは直後に起こる前記外部クロック信号のレベル変化から数えて、所定のクロック数以上のリセット期間経過後に立ち上がり、かつ、前記外部クロック信号に同期した第2のイネーブル信号を生成し、生成した前記第2のイネーブル信号を出力する。同期回路は、前記第1のイネーブル信号のレベル変化に基づいて前記外部クロック信号を入力し、前記第2のイネーブル信号が生成されるまでの前記リセット期間内でリセットされ、前記外部クロック信号に同期し内部で生成されたテスト用信号を出力する。第1の演算手段は、前記制御信号生成回路から出力された第2のイネーブル信号と、前記同期回路から出力された前記テスト用信号を入力し、論理積演算を行い、演算結果としての前記テスト用信号を被セルフテスト対象回路へ出力する。そして、1つの非同期の第1のイネーブル信号が、外部クロック信号のレベル変化に対して、いかなるタイミングで立ち上がっても、前記同期回路のために、少なくとも2クロック以上のリセット期間を確保し、又、前記同期回路のイネーブル信号である前記第2のイネーブル信号を、前記第1のイネーブル信号を基にして生成し、前記同期回路から前記テスト用信号を安定して出力することを特徴とするものである。

【0010】この発明に係る半導体集積回路は、制御信号生成回路が、外部クロック信号と、前記外部クロック信号に対して非同期の第1のイネーブル信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用し、前記第1のイネーブル信号を基にして、前記外部クロック信号に同期した第2のイネーブル信号を生成し出力する機能を持つ複数段のリセット機能付きのラッチ回路で構成されていることを特徴とするものである。

【0011】この発明に係る半導体集積回路は、制御信号生成回路が、第1系統ラッチ回路と第2系統ラッチ回路、第2の演算手段および第3のラッチ回路を備え、第1系統ラッチ回路は、第1のイネーブル信号を反転した信号と外部クロック信号を反転した信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用するリセット機能付きのラッチ回路を複数段備える。第2系統ラッチ回路は、前記第1のイネーブル信号と前記外部クロック信号を反転した信号とを入力し、前記第1のイネーブル信号をラッチのイネーブルかつリセットとして使用するリセット機能付きのラッチ回路を複数段備える。第2の演算手段は、前記第1系統ラッチ回路および前記第2系統ラッチ回路の出力の論理積演算を行う。そして、第3のラッチ回路は、前記第2の演算手段の出力をラッチし、第1のイネーブル信号を基に、前記外部クロック信号に同期した第2のイネーブル



ル信号を生成し出力することを特徴とするものである。

【0012】この発明に係る半導体集積回路は、第3のラッチ回路に接続され、第1のイネーブル信号を反転した信号のレベル変化後、リセット期間の経過するまで第2のイネーブル信号をLレベルに保持し、前記リセット期間経過後に、Hレベルの前記第2のイネーブル信号を出力するセクタ回路を、制御信号生成回路がさらに備えたことを特徴とするものである。

【0013】この発明に係る半導体集積回路は、第2の演算手段と第3のラッチ回路との間に接続され、前記第2の演算手段の出力を所定クロック数遅延させて前記第3のラッチ回路へ供給し、リセット期間を切り替えるカウンタをさらに備えたことを特徴とするものである。

【0014】この発明に係る半導体集積回路は、外部クロック信号と第1のイネーブル信号とを入力し、前記第1のイネーブル信号が第1のレベル中は、前記外部クロック信号を被セルフテスト対象回路へ内部クロック信号として直接に出力する第1の論理回路と、前記第1のイネーブル信号が第2のレベルに変化すると、前記外部クロック信号を内部クロック信号として出力する第2の論理回路とを有するクロック供給回路と、前記第2の論理回路から出力された前記内部クロック信号を、クロックバッファを経て前記第1の論理回路へ出力し、前記被セルフテスト対象回路へ前記内部クロック信号を出力する同期回路とを備えたことを特徴とするものである。

【0015】この発明に係る半導体集積回路は、第2の論理回路から出力された内部クロック信号を所定時間遅延させ、前記第2の論理回路から出力される前記内部クロック信号と、前記第1の論理回路から出力される内部クロック信号との間のクロックスキューを調整するスキュー回路をさらに備えたことを特徴とするものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるビルトインセルフテスト回路を備えた半導体集積回路を示すブロック図であり、特に、同期回路と制御信号生成回路を中心に示している。図において、1、71は制御信号生成回路であり、非同期の内部クロックイネーブル信号ACTCE（第1のイネーブル信号）および外部クロック信号BISTFCLK（外部クロック信号）を入力し、同期回路のイネーブル信号ACTLE（第2のイネーブル信号）を出力する。2は同期回路、3はANDゲート（第1の演算手段）である。イネーブル信号ACTLEは、内部クロックイネーブル信号ACTCEを基に制御信号生成回路1で生成され、同期回路2の内部で生成され出力されるテスト用信号の出力を、同一半導体チップ内のセルフテスト対象の回路ブロック（被セルフテスト対象回路、図示せず）へ供給するためのイネーブル信号であり、以下では、同期回路のイネーブル信号と呼

ぶ。

【0017】次に、動作について説明する。図2は、図1に示した制御信号生成回路1および同期回路2へ入力され、出力される各種信号のタイミングを示すタイミングチャートである。非同期の内部クロックイネーブル信号ACTCEは、外部クロック信号BISTFCLKに対して非同期の信号である。非同期の内部クロックイネーブル信号ACTCEがLレベルからHレベルに変化すると、インバータ11がアクティブとなりオンする。その後、外部クロック信号BISTFCLKが立ち上がった時に、内部クロック信号INTCLKが同期回路2へ供給され始める。

【0018】また、非同期の内部クロックイネーブル信号ACTCEおよび外部クロック信号BISTFCLKは制御信号生成回路1へ供給され、同期回路のイネーブル信号ACTLEが生成される。この同期回路のイネーブル信号ACTLEは、同期回路2の出力信号とANDゲート3で論理積演算され、演算結果が外部の回路ブロックへ供給される。さらに、同期回路のイネーブル信号ACTLEは、同期回路2へ入力され同期回路2を動作開始させる。

【0019】図3は、図1に示した制御信号生成回路1の詳細な構成を示したブロック図であり、図において、31はd11atc系回路（第1系統ラッチ回路）、32はd21atc系回路（第2系統ラッチ回路）、33は共通ブロック入力回路（第3のラッチ回路）、34はセクタ、35はANDゲート、36はANDゲート（第2の演算手段）である。

【0020】d11atc系回路31は、2個のラッチ回路d11atcAおよび2個のラッチ回路d21atcBで構成されている。d21atc系回路32は、2個のラッチ回路d21atcAおよび1個のラッチ回路d11atcBで構成されている。共通ブロック入力回路33は、1個のラッチ回路d11atcBで構成されている。共通ブロック入力回路33は、ANDゲート36で実行されるd11atc系回路31の出力と、d21atc系回路32の出力との間の論理積演算の演算結果AND1と、外部クロック信号BISTFCLKの反転信号BISTFCLK\_Bとを入力し、演算結果AND1をラッチし、生成したイネーブル信号をセクタ34へ出力する。

【0021】図4は、図3に示したd11atc系回路31、d21atc系回路32、および共通ブロック入力回路33のそれぞれを構成するラッチ回路d11atcA、d11atcB、d21atcA、d21atcBの真理値表を示す説明図である。図において、クロック信号CLKは、図3における外部クロック信号BISTFCLKの反転信号であるBISTFCLK\_Bに相当し、イネーブル信号ENは、非同期の内部クロックイネーブル信号ACTCE、あるいは、非同期の内部クロ

ックイネーブル信号ACTCEの反転信号であるTMBE\_\_B、あるいは、電源電圧VDD、あるいは、接地電圧GNDに相当する。

【0022】また、図4で示す信号Dは、図3で示した、d1latc系回路31、d2latc系回路32内の初段のラッチ回路へ入力される電源電圧VDD、あるいは、前段のラッチ回路の出力信号、あるいは、共通ブロック入力回路33では、ANDゲートの演算結果AND1に相当するものである。

【0023】図3に示す構成の制御信号生成回路1では、非同期の内部クロックイネーブル信号ACTCEを、全てのラッチのイネーブル信号かつリセットに使用し、各ラッチにおいて、外部クロック信号BISTFCLKと論理積演算を行うことで、外部クロック信号BISTFCLKとの同期を確保している。例えば、d1latc系回路31内のd1latcAでは、非同期の内部クロックイネーブル信号ACTCEの反転信号TMBE\_\_Bと、外部クロック信号BISTFCLKの反転信号BISTFCLK\_\_Bとの間の論理積演算をANDゲートで実行し、演算結果は、ラッチ回路の入力側に接続されたインバータのイネーブル信号として使用している。

【0024】同様に、d2latc系回路32のd2latcAでも、非同期の内部クロックイネーブル信号ACTCEと外部クロック信号BISTFCLKの反転信号BISTFCLK\_\_Bとの間の論理積演算をANDゲートで実行し、演算結果は、ラッチ回路の入力側に接続されたインバータのイネーブル信号として使用している。

【0025】また、d1latc系回路31内のd2latcBでは、外部クロック信号BISTFCLKの反転信号BISTFCLK\_\_Bと電源電圧VDDとの間の論理積演算結果が、ラッチ回路の入力側に接続されたインバータ回路のイネーブル信号となっている。同様に、d2latc系回路32内のd1latcBでは、外部クロック信号BISTFCLKの反転信号BISTFCLK\_\_Bと接地電圧GNDとの間の論理積演算結果が、ラッチ回路の入力側に接続されたインバータ回路のイネーブル信号となっている。

【0026】上記したように、図3に示した制御信号生成回路1では、初段のラッチ回路を外部クロック信号BISTFCLKのHレベルでラッチさせるd1latc系回路31と、初段のラッチ回路を外部クロック信号BISTFCLKのLレベルでラッチさせるd2latc系回路32とを並列に備えた構成になっているので、非同期の内部クロックイネーブル信号ACTCEが、外部クロック信号BISTFCLKに対して、どんなタイミングで立ち上がっても、対応できる構成となっている。

【0027】そして、d1latc系回路31およびd2latc系回路32の出力は、論理積演算され、演算

結果AND1は、共通ブロック入力回路33よりセクタ34へ出力される。このように、演算結果AND1を、セクタ34のイネーブル信号として使用しているので、非同期の内部クロックイネーブル信号ACTCEをHレベルにした後（図2のタイミングチャートにおけるタイミングT21、または、タイミングT23）、d1latc系回路31あるいはd2latc系回路32内のラッチ回路の段数分だけ遅延させている間に、同期回路のイネーブル信号ACTLEを初期状態のLレベルに固定させることができる（図2のタイミングチャートにおけるタイミングT21またはタイミングT23から、タイミングT24までの期間）。その後、制御信号生成回路1から、同期回路のイネーブル信号ACTLEがANDゲート3へ出力されるので、同期回路2から出力される内部クロック信号が、ANDゲートを介して外部の回路ブロックへ安定して確実に供給され始める。

【0028】図5および図6は、図3に示した制御信号生成回路1を構成するd1latc系回路31およびd2latc系回路32の動作をシミュレーションして得られた各信号のタイミングを示すタイミングチャートである。図5は、非同期の内部クロックイネーブル信号ACTCEの立ち上がり（タイミングT21）が、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）より5ns早い場合を示している。図6は、非同期の内部クロックイネーブル信号ACTCEの立ち上がり（タイミングT23）が、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）より5ns遅い場合を示している。

【0029】図5に示したような非同期の内部クロックイネーブル信号ACTCEの立ち上がり（タイミングT21）が、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）より早い時刻の場合においても、また、図6に示したような非同期の内部クロックイネーブル信号ACTCEの立ち上がり（タイミングT23）が、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）より遅い時刻の場合においても、確実に、同期回路のイネーブル信号ACTLEが、外部クロック信号BISTFCLKの立ち上がりのタイミングT22から2クロック後に、Hレベルに変化していることが分かる。

【0030】尚、図1に示した制御信号生成回路1の構成では、d1latc系回路31内のラッチ回路の個数は4個であり、d2latc系回路32内のラッチ回路の個数は3個である。これにより、非同期の内部クロックイネーブル信号ACTCEの立ち上がりタイミングが、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）より前であっても（タイミングT21）、あるいは、後であっても（タイミングT23）、外部クロック信号BISTFCLKの立ち上がり（タイミングT22）から、確実に2クロック遅延させ



てHレベルとなる同期回路のイネーブル信号ACTLEを得ることができる。

【0031】以上説明したように、実施の形態1によれば、制御信号生成回路が、外部クロック信号BISTFCLK、および、この外部クロック信号BISTFCLKに対して非同期のクロックイネーブル信号ACTCEを入力し、同期回路から出力される内部クロック信号のイネーブル信号となる、即ち、同期回路のイネーブル信号ACTLEを、少なくとも2クロック経過後に出力するように構成したので、同期回路は、イネーブル信号ACTCEを基に、外部クロック信号BISTFCLKを内部クロック信号INTCLKとして入力したクロックを用いて、2クロックのリセット期間内で確実にリセットされ、さらに、イネーブル信号ACTCEから生成されたイネーブル信号ACTLEに基づいて、外部クロック信号BISTFCLKに同期し、内部で生成されたテスト用信号を安定して出力することができ、さらにまた、1つの非同期の内部クロックイネーブル信号ACTCEを用いて、同期回路のリセット期間を得るようにしているため、その分、半導体チップの有効なレイアウト面積を増加できるという効果がある。

【0032】実施の形態2。図7はこの発明の実施の形態2によるビルトインセルフテスト回路を備えた半導体集積回路内の制御信号生成回路71を示すブロック図であり、図において、72はカウンタであり、セレクト信号を入力して、ANDゲート36から出力された演算結果AND1を入力し、セレクト信号に基づいて所定時間遅延させ、共通ブロック入力回路33へ演算結果AND1を出力する。尚、その他の構成要素は、図3に示す実施の形態1の制御信号生成回路1内のものと同じなので、同一の参照符号を使用し、それらの説明を省略する。

【0033】次に、動作について説明する。図3に示した実施の形態1の制御信号生成回路1における、2クロックのリセット期間は、ラッチ回路の段数で決定されていた。従って、このリセット期間を2クロック以外のクロック数に設定する場合、図7に示すカウンタ72を、ANDゲート36と共通ブロック入力回路33との間に設け、リセット期間を調節することができる。カウンタ72内の構成は、ラッチ回路を所定段数設け、CPU（図示せず）等の制御手段から送信されるセレクト信号に従って、ラッチ回路の段数を切り替えることで実現できるが、この構成は、d11a1c系回路31やd11a1c系回路32内のラッチ回路と同じなので、ここでは説明を省略する。

【0034】以上説明したように、実施の形態2によれば、制御信号生成回路内の、d11a1c系回路の出力とd21a1c系回路の出力との間の論理積演算を行うANDゲートと、共通ブロック入力回路との間に、段数を調節可能なラッチ回路からなるカウンタをさらに設け

るように構成したので、任意のリセット期間を得ることができ、実施の形態1の効果に加えて、様々なリセット期間が必要な同期回路へ適用可能であるという効果がある。

【0035】実施の形態3。図8はこの発明の実施の形態3によるビルトインセルフテスト回路を備えた半導体集積回路内のクロック供給回路を示すブロック図であり、図において、80はクロック供給回路、81はANDゲート（第1の論理回路）、82はANDゲート（第2の論理回路）、83はバッファ、84はインバータである。このクロック供給回路80は、同期回路やセルフテスト対象の回路ブロック（被セルフテスト対象回路、図示せず）へクロック信号を供給するものであるが、実施の形態1や実施の形態2で説明した制御信号生成回路1、71は省略している。あるいは、これらの制御信号生成回路1、71は備えていなくとも良い。ext. PADは外部パッドであり、これを介して、外部から外部クロック信号EXTCLKを入力し、さらに、ANDゲート82を介して、外部クロック信号BISTFCLKとして同期回路（図示せず）へ供給される。

【0036】次に、動作について説明する。図9は、図8に示したクロック供給回路80の動作を示すタイミングチャートである。図9のタイミングチャートに示すように、BISTBCLKは、クロックバッファからセルフテスト対象の回路ブロック、例えば、SDRAM等へ出力される内部クロック信号である。BUFBCLKは、クロック供給回路80から、クロックバッファを介さずに、直接にセルフテスト対象の回路ブロックへ供給される内部クロック信号であり、ANDゲート81で実行される場所の、外部クロック信号EXTCLKとクロックバッファから出力される内部クロック信号BISTBCLKの反転信号BISTBCLK\_Bとの間の論理積演算の演算結果として出力される。

【0037】ANDゲート82で実行される場所の、外部クロック信号EXTCLKと非同期の内部クロックイネーブル信号ACTCEとの間の論理積演算の演算結果は、外部クロック信号BISTFCLKとしてANDゲート82から同期回路へ出力され、同期回路の直前では、非同期の内部クロックイネーブル信号ACTCEに基づいて内部クロック信号INTCLKとして同期回路へ供給される。これらの信号の接続は、図1に示した外部クロック信号BISTFCLK、非同期の内部クロックイネーブル信号ACTCE、インバータ11、内部クロック信号INTCLK、および同期回路2の関係を保持している。

【0038】従って、図9のタイミングチャートに示されるように、非同期の内部クロックイネーブル信号ACTCEがLレベル（第1のレベル）の間は、外部パッドext. PADを介して入力された外部クロック信号EXTCLKは、ANDゲート81を介して、内部クロッ

ク信号BUFCCLKとしてSDRAMへ供給される。また、非同期の内部クロックイネーブル信号ACTCEがLレベルなので、ANDゲート82から同期回路へ外部クロック信号BISTFCLKは出力されない。

【0039】逆に、同期回路モードエントリ時、即ち、非同期の内部クロックイネーブル信号ACTCEがHレベル（第2のレベル）の場合では、ANDゲート82から同期回路へ外部クロック信号BISTFCLKが出力される。この場合、ANDゲート81を介したSDRAMへの外部クロック信号EXTCLKの供給は、制御信号ENにより停止され、クロックバッファから出力された内部クロック信号BISTBCLKの反転信号BISTBCLK<sub>B</sub>が、ANDゲート81を介してSDRAM側へ供給されることになる。

【0040】以上説明したように、実施の形態3によれば、同期回路およびセルフテスト対象の回路ブロックへ、内部クロック信号を供給するクロック供給回路を新たに設け、同期回路を介したセルフテストの実行時以外は、外部クロック信号EXTCLKを同期回路側へ供給しないように構成したので、その分消費電力を削減できるという効果がある。

【0041】実施の形態4. 図10はこの発明の実施の形態4によるビルトインセルフテスト回路を備えた半導体集積回路を示すブロック図であり、図において、101はクロックバッファ、102は遅延回路、103はセルフテスト対象の被テスト対象回路であり、例えば、実施の形態3で説明したセルフテスト対象のSDRAMである。尚、その他の構成要素は、図1に示した同期回路2および図8に示したクロック供給回路80と同じものである。同一の参照符号を使用して、それらの説明を省略する。

【0042】次に、動作について説明する。クロックバッファ101は、外部クロック信号BISTFCLKを入力し、外部クロック信号BISTFCLKを遅延回路102へ出力し、内部クロック信号BISTBCLKを、クロック供給回路80内のANDゲート81へ出力する。

【0043】遅延回路102は、クロックバッファ101から出力されてきた外部クロック信号BISTFCLKを所定時間遅延させる。これにより、同期回路2から出力されるテスト用信号と被テスト対象回路103側へ供給される内部クロック信号BUFCCLKとの間のクロックスキューがなくなり、両クロック信号の立ち上がりのタイミングが同時となり、クロックスキューは発生しない。

【0044】以上説明したように、実施の形態4によれば、クロック供給回路から出力される内部クロック信号BUFCCLKと、同期回路から出力されるテスト用信号との間のクロックスキューを無くすため、同期回路側にクロックバッファおよび遅延回路を設けたので、クロッ

クスキューの無いクロック信号を、SDRAM等の被テスト対象回路へ供給することができ、正しくセルフテストを実行することができるという効果がある。

【0045】

【発明の効果】以上のように、この発明によれば、制御信号生成回路が、外部クロック信号、および、この外部クロック信号に対して非同期の第1のイネーブル信号を入力し、同期回路の内部で生成され出力されたテスト用信号のイネーブル信号となる、即ち、同期回路の第2のイネーブル信号を、少なくとも2クロック経過後に出力するように構成したので、同期回路は、第1のイネーブル信号を基に、外部クロック信号を入力し、所定クロック数のリセット期間内で確実にリセットされ、さらに、第1のイネーブル信号から生成された第2のイネーブル信号に基づいて、外部クロック信号に同期したテスト用信号を安定して出力することができ、さらにまた、第1のイネーブル信号のみを用いて、同期回路のリセット期間を得るようにしているので、その分、半導体チップの有効なレイアウト面積を増加できるという効果がある。

【0046】この発明によれば、制御信号生成回路が、複数のラッチ回路で構成され、初段のラッチを第1のイネーブル信号のHレベルで通過させる第1系統ラッチ回路と、複数のラッチ回路で構成され、初段のラッチを第1のイネーブル信号のLレベルで通過させる第2系統ラッチ回路と、第1系統ラッチ回路の出力と第2系統ラッチ回路の出力との間の論理積演算を行う第2の演算手段であるANDゲートと、ANDゲートの出力を入力する共通ブロック入力回路と、セレクトで構成したので、非同期のイネーブル信号がいかなるタイミングで立ち上がっても確実に2クロック信号以上のリセット期間を得ることが出来るという効果がある。

【0047】この発明によれば、第2の演算手段であるANDゲートと、第3のラッチ回路との間に、段数を調節可能なラッチ回路からなるカウンタをさらに設けるように構成したので、任意のリセット期間を得ることができ、上記した発明の効果に加えて、様々なリセット期間が必要な同期回路へ適用可能であるという効果がある。

【0048】この発明によれば、同期回路およびセルフテスト対象の回路ブロックへ、内部クロック信号を供給するクロック供給回路を新たに設け、同期回路を介したセルフテストの実行時以外は、外部クロック信号を同期回路側へ供給しないように構成したので、その分消費電力を削減できるという効果がある。

【0049】この発明によれば、クロック供給回路から出力され同期回路から出力される内部クロック信号のクロックスキュー無くすため、同期回路側に遅延回路をさらに設けたので、クロックスキューの無いクロック信号を、被セルフテスト対象回路へ供給することができ、正しくセルフテストを実行することができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるビルトインセルフテスト回路を備えた半導体集積回路を示すブロック図である。

【図2】 図1に示した制御信号生成回路および同期回路へ入出力される各種信号のタイミングを示すタイミングチャートである。

【図3】 図1に示した制御信号生成回路の詳細な構成を示したブロック図である。

【図4】 ラッチ回路の真理値表を示す説明図である。

【図5】 図3に示した制御信号生成回路を構成するd11a1c系回路およびd21a1c系回路の動作をシミュレーションして得られた各信号のタイミングを示すタイミングチャートである。

【図6】 図3に示した制御信号生成回路を構成するd11a1c系回路およびd21a1c系回路の動作をシミュレーションして得られた各信号のタイミングを示すタイミングチャートである。

【図7】 この発明の実施の形態2によるビルトインセルフテスト回路を備えた半導体集積回路内の制御信号生成回路を示すブロック図である。

【図8】 この発明の実施の形態3によるビルトインセルフテスト回路を備えた半導体集積回路内のクロック供\*

\* 給回路を示すブロック図である。

【図9】 図8に示したクロック供給回路の動作を示すタイミングチャートである。

【図10】 この発明の実施の形態4によるビルトインセルフテスト回路を備えた半導体集積回路を示すブロック図である。

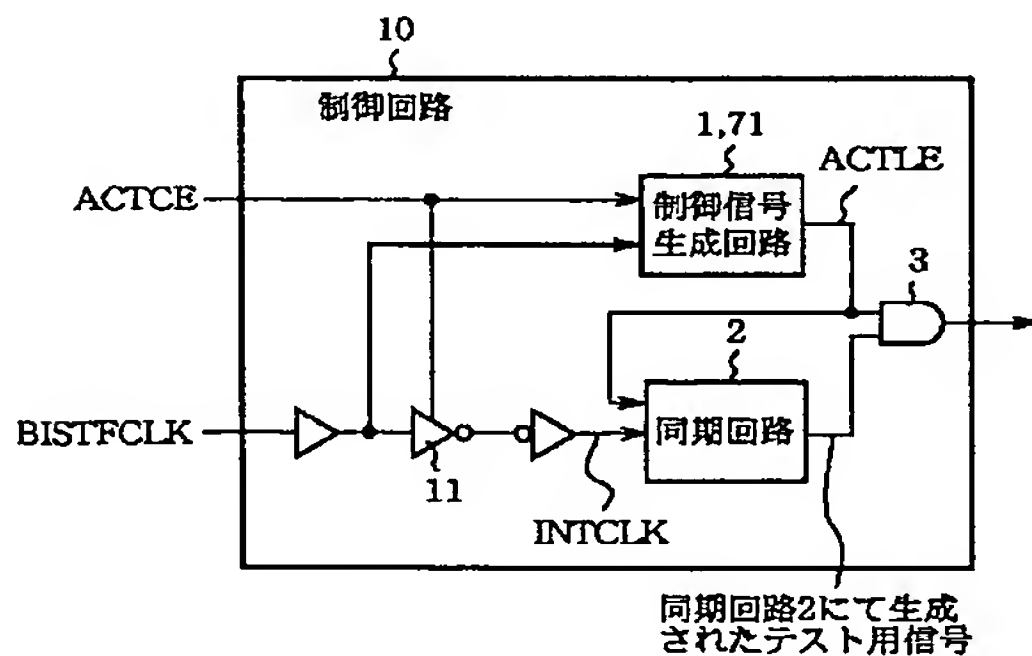
【図11】 従来の半導体集積回路における同期回路周辺の構成を示すブロック図である。

【図12】 図11に示した従来の同期回路へ供給される各制御信号のタイミングを示すタイミングチャートである。

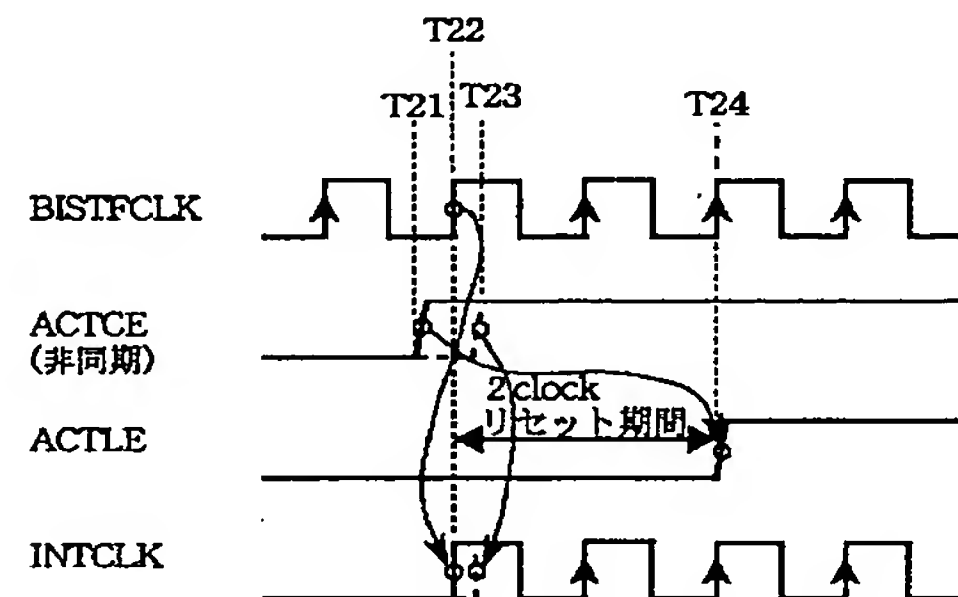
【符号の説明】

1, 71 制御信号生成回路、2 同期回路、3 ANDゲート（第1の演算手段）、10 制御回路、11, 84 インバータ、31 d11a1c系回路（第1系統ラッチ回路）、32 d21a1c系回路（第2系統ラッチ回路）、33 共通ブロック入力回路（第3のラッチ回路）、34 セレクタ、35 ANDゲート、36 ANDゲート（第2の演算手段）、72 カウンタ、80 クロック供給回路、81 ANDゲート（第1の論理回路）、82 ANDゲート（第2の論理回路）、83 バッファ、101 クロックバッファ、102 遅延回路、103 被セルフテスト対象回路。

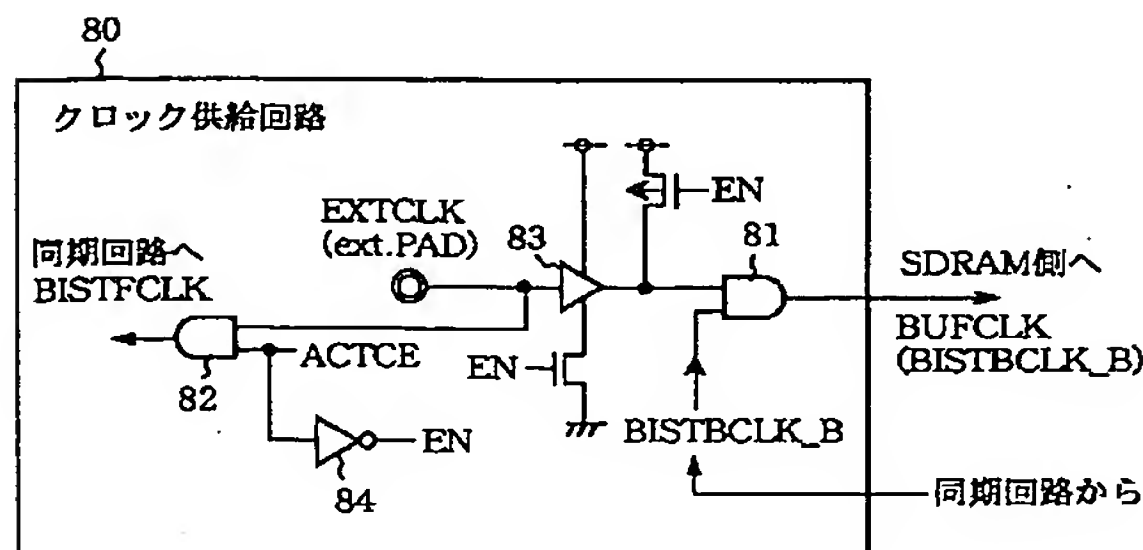
【図1】



【図2】



【図8】



【図9】

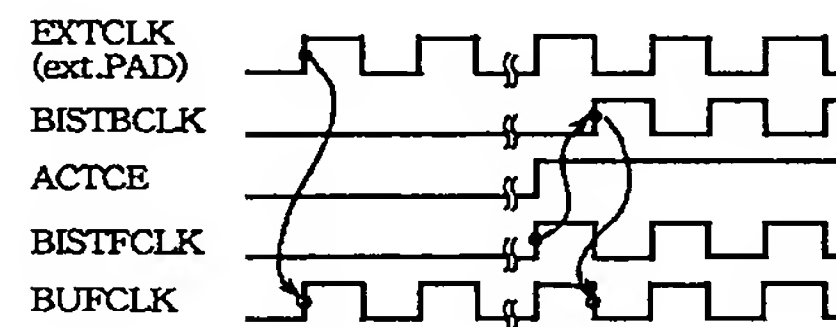




Figure 1 is a block diagram of a control circuit 1. The circuit is divided into three main sections: 31, 32, and 33.

- Section 31 (d1latc系回路):** This section contains four latch circuits (ラッチ回路) labeled S1, S2, S3, and S4. Each latch circuit is controlled by BISTFCLK\_B and TMBE\_B signals. The output of S4 is connected to AND1.
- Section 32 (d2latc系回路):** This section contains two latch circuits labeled S11 and S21. S11 is controlled by BISTFCLK\_B and ACTCE, and S21 is controlled by BISTFCLK\_B and GND. The output of S21 is connected to S31.
- Section 33 (共通ブロック入力回路):** This section contains a latch circuit controlled by BISTFCLK\_B and AND1. The output of this latch circuit is connected to a selector 34 (セレクタ34) and an AND gate 35. The output of AND gate 35 is ACTLE.

The diagram also shows a selector 34 (セレクタ34) and an AND gate 35. The output of the selector 34 is connected to the input of the AND gate 35. The output of the AND gate 35 is ACTLE.

【圖 10】

| CLK | EN | D | Q |
|-----|----|---|---|
| L   | L  | L | L |
| L   | H  |   | L |
| H   | L  |   | Q |
| H   | H  |   | L |
| L   | L  | H | H |
| L   | H  |   | L |
| H   | L  |   | Q |
| H   | H  |   | L |

| CLK | EN | D | Q |
|-----|----|---|---|
| L   | L  | L | L |
| L   | H  |   | L |
| H   | L  |   | Q |
| H   | H  |   | Q |
| L   | L  | H | H |
| L   | H  |   | Q |
| H   | L  |   | Q |
| H   | H  |   | Q |

| CLK | EN | D | Q |
|-----|----|---|---|
| L   | L  | L | L |
| L   | H  |   | Q |
| H   | H  |   | L |
| H   | H  |   | L |
| L   | L  | H | L |
| L   | H  |   | Q |
| H   | L  |   | L |
| H   | H  |   | H |

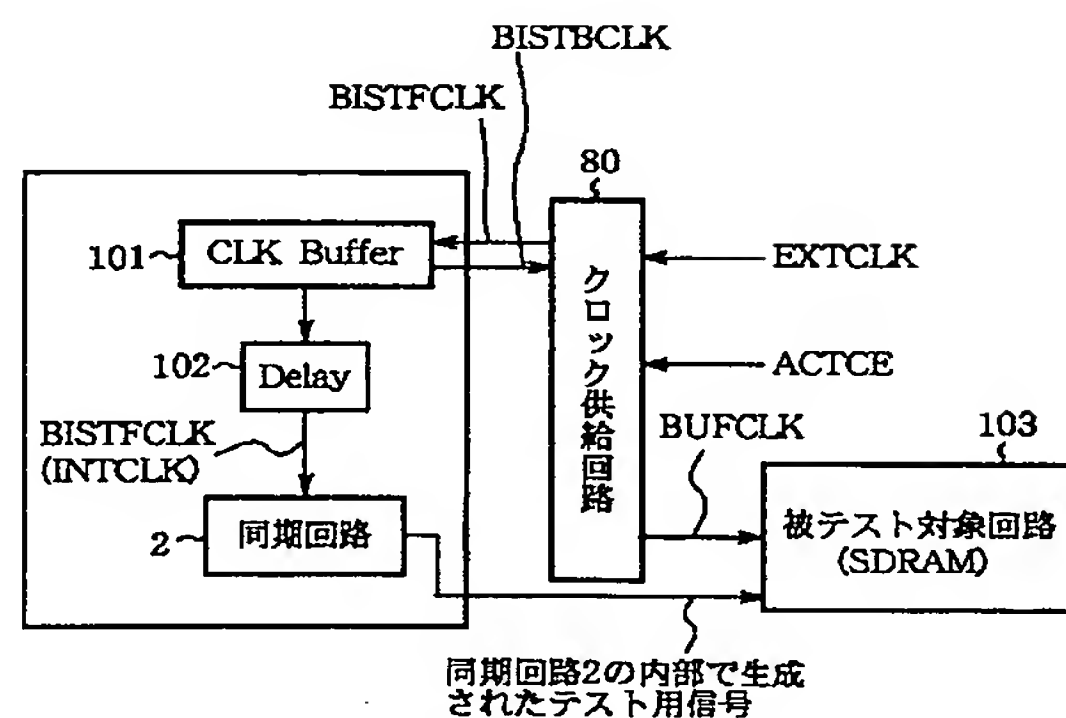
| CLK | EN | P | Q |
|-----|----|---|---|
| L   | L  | L | Q |
| L   | H  |   | Q |
| H   | L  |   | Q |
| H   | H  |   | L |
| L   | L  | H | Q |
| L   | H  |   | Q |
| H   | L  |   | Q |
| H   | H  |   | H |

dllatcB

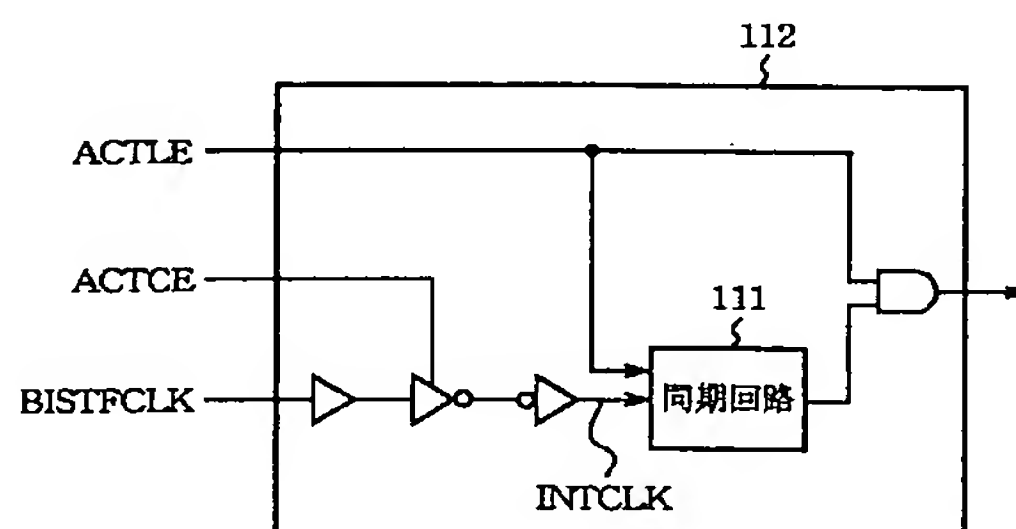
The diagram shows a D2 latch circuit labeled 'd2latcA'. It has three inputs: 'CLK', 'EN', and 'D', and one output 'Q'. The 'CLK' and 'EN' inputs are connected to an AND gate. The output of this AND gate is connected to the 'D' input of a NAND gate. The 'D' input is also connected to an OR gate. The output of the OR gate is connected to the 'Q' output. There are also feedback paths from 'Q' to the inputs of the NAND and OR gates.

d2latcB

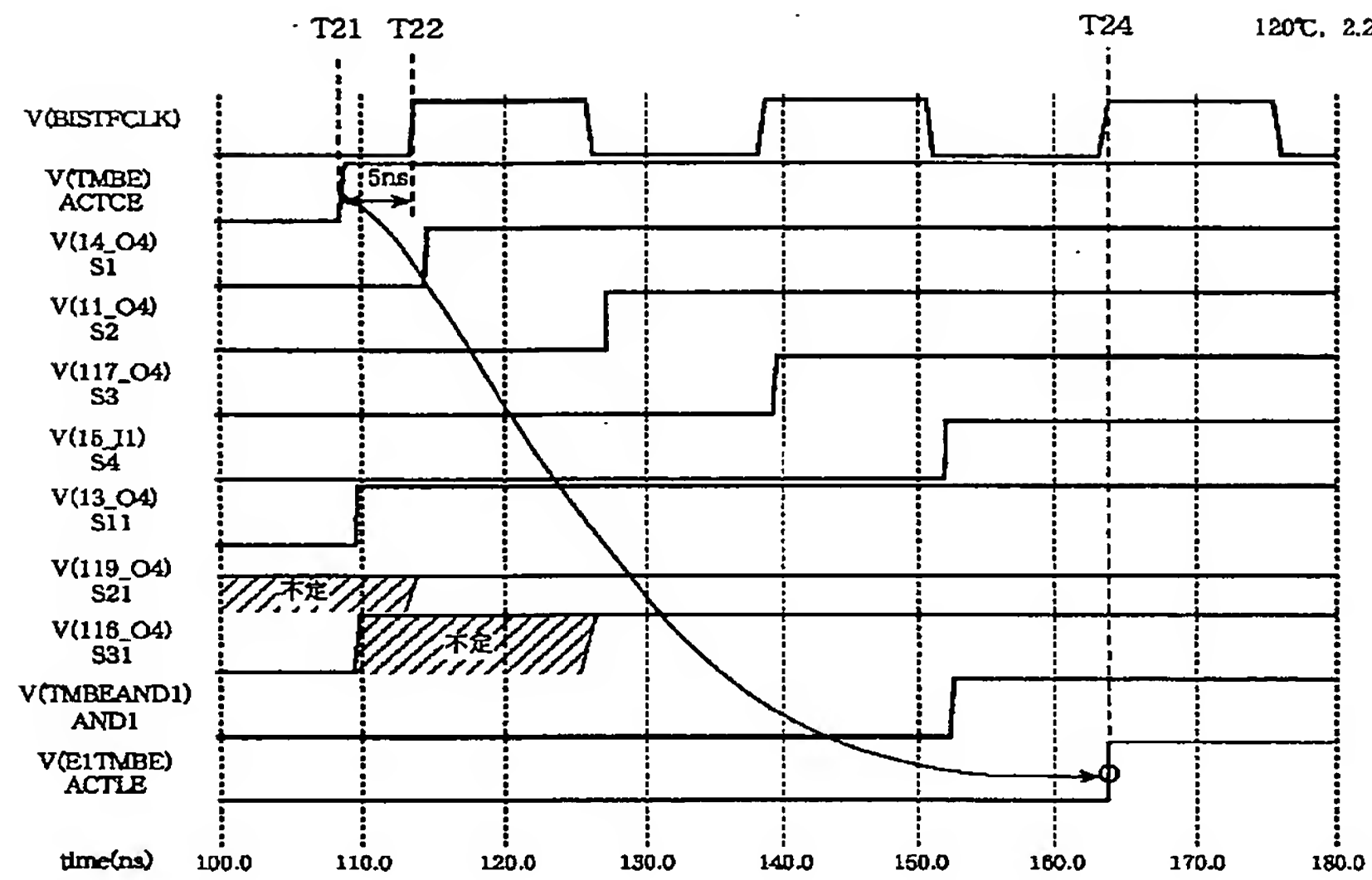
```
graph LR
    CLK --- AND1[AND]
    EN --- AND1
    AND1 --- D
    D --- DFF[D-Type Flip-Flop]
    DFF -- Q --- Q
    Q -- feedback --> D
```



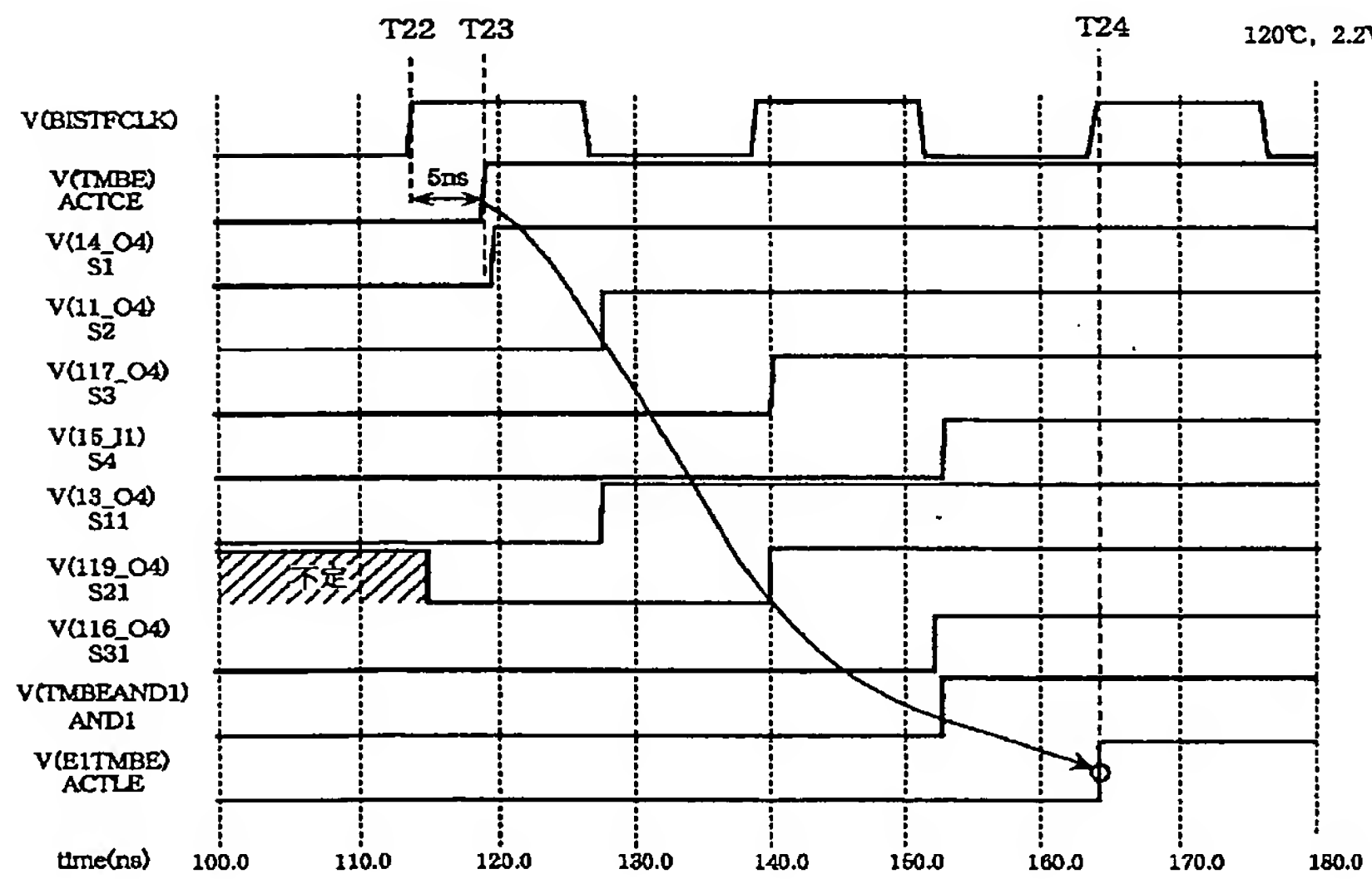
【圖 11】



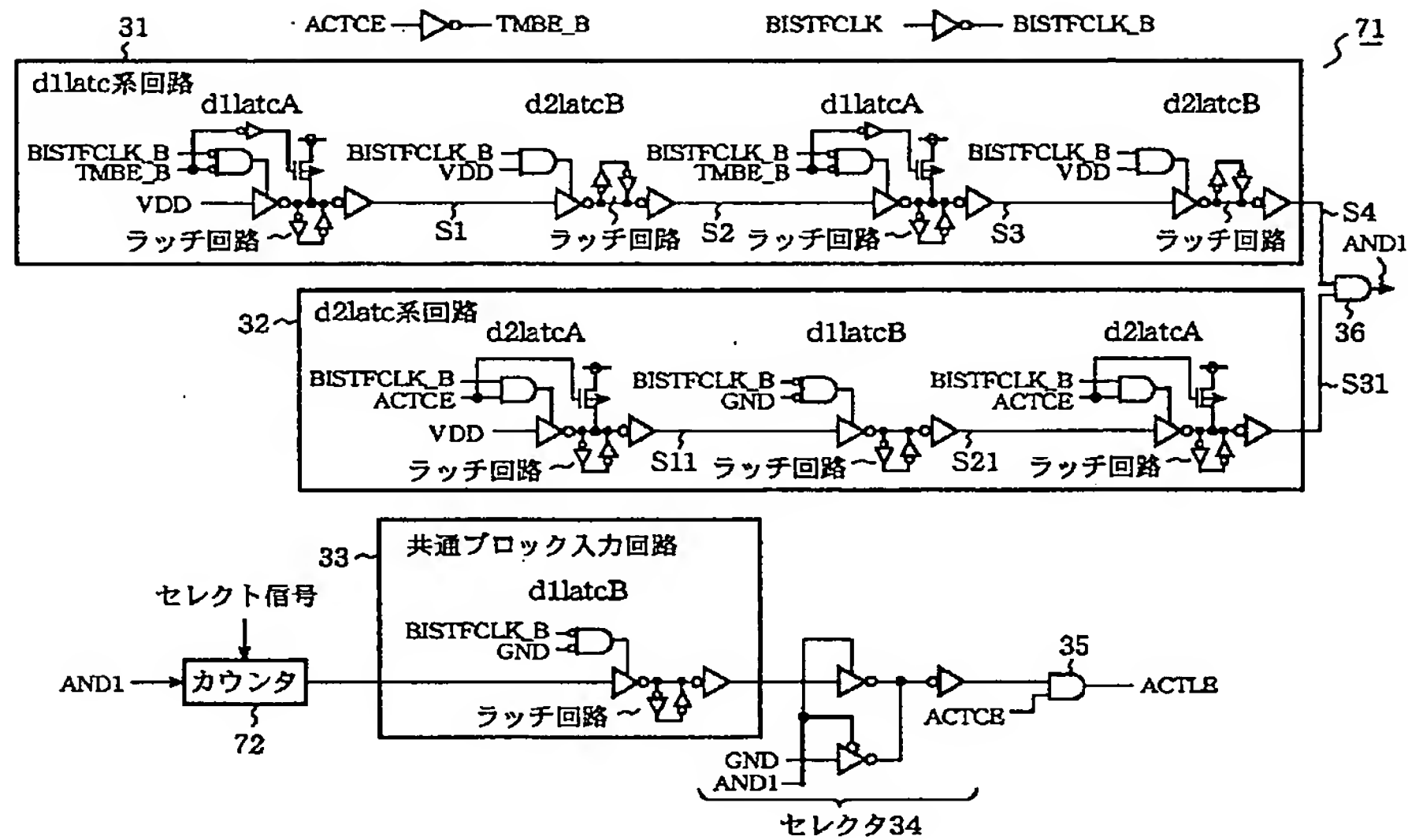
【図5】



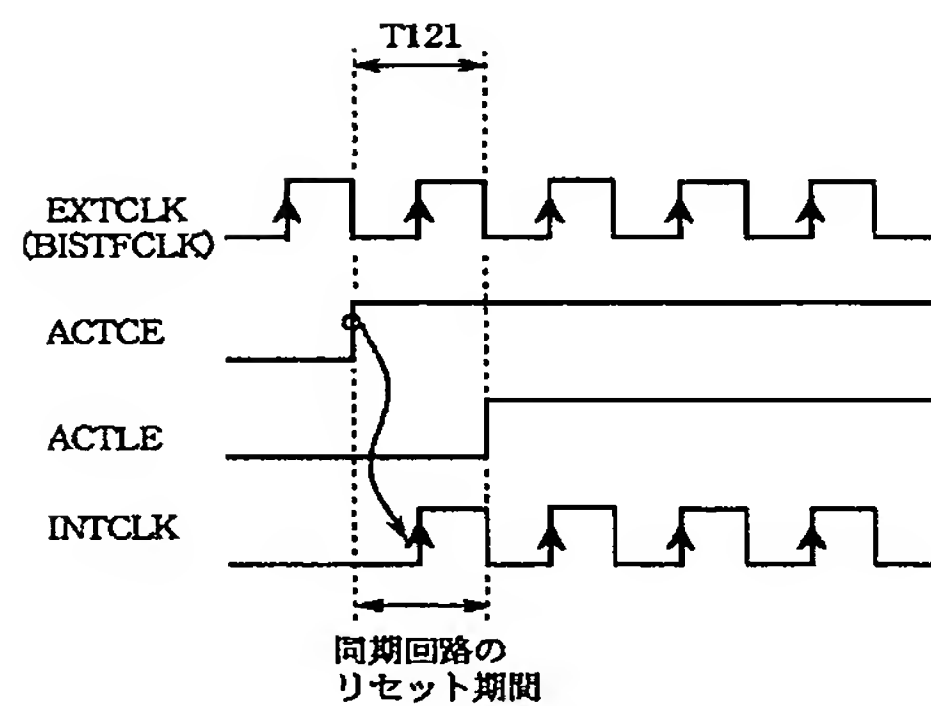
【図6】



【図7】



【図12】



フロントページの続き

(72)発明者 中島 雅美  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 谷崎 哲志  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 2G032 AA01 AA07 AB01 AG07 AK11  
5B048 AA20 CC11 DD10 FF01  
5F038 DF05 DT03 DT08 EZ20  
5J056 BB60 CC05 CC17 FF01 FF09  
GG13